

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年12 月31 日 (31.12.2003)

PCT

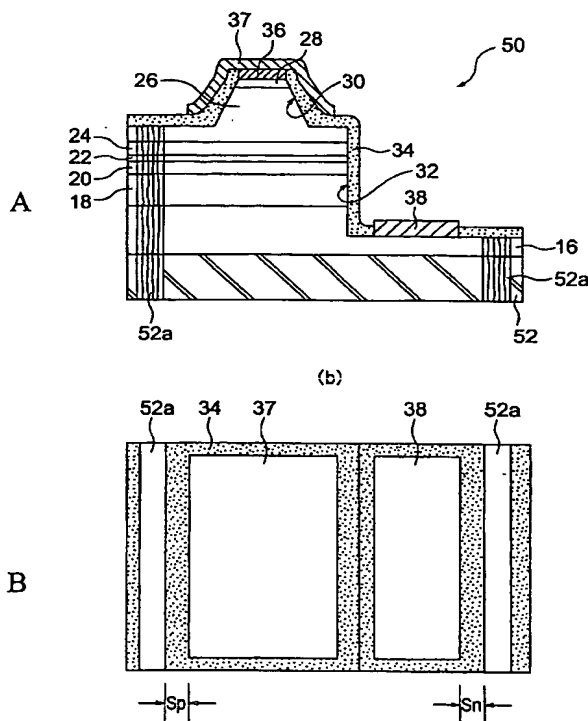
(10) 国際公開番号
WO 2004/001920 A1

- (51) 国際特許分類⁷: H01S 5/343, H01L 33/00
(21) 国際出願番号: PCT/JP2003/007822
(22) 国際出願日: 2003 年6 月19 日 (19.06.2003)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2002-179875 2002 年6 月20 日 (20.06.2002) JP
(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 後藤 修 (GOTO, Osamu) [JP/JP]; 〒989-0734 宮城県白石市白鳥3丁目53番2号 ソニー白石セミコンダクタ株式会社内 Miyagi (JP). 松本 治 (MATSUMOTO, Osamu) [JP/JP]; 〒989-0734 宮城県白石市白鳥3丁目53番2号 ソニー白石セミコンダクタ株式会社内 Miyagi (JP). 佐々木 智美 (SASAKI, Tomomi) [JP/JP]; 〒989-0734 宮城県白石市白鳥3丁目53番2号 ソニー白石セミコンダクタ株式会社内 Miyagi (JP). 池田 昌夫 (IKEDA, Masao) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).

[続葉有]

(54) Title: GaN SEMICONDUCTOR DEVICE

(54) 発明の名称: GaN系半導体素子



(57) Abstract: A GaN semiconductor light-emitting device formed on a GaN single-crystal substrate and having a structure owing to which the current leak is less. The GaN semiconductor laser device (50) includes p- and n-side electrodes provided on the multilayer structure and has the same structure as conventional GaN semiconductor laser devices fabricated on a sapphire substrate except that a GaN single crystal substrate (52) is used in place of a sapphire substrate and a multilayer structure of the GaN compound semiconductor layer is formed directly on the GaN single crystal substrate (52) without forming a GaN-ELO structure layer. The GaN single crystal substrate (52) has continuous band-like core sections (52a) each having a width of 10 μ m, and the distance between the core sections (52) is approximately 400 μ m. A laser stripe (30), a metal pad (37) of a p-side electrode (36), and an n-side electrode (38) are provided to the multilayer structure on the region other than the core sections (52a). The horizontal distance Sp between the side edge of the metal pad (37) and the edge of the core section and the horizontal distance Sn between the n-side electrode (38) and the edge of the core section (52a) are both 95 μ m.

(57) 要約: GaN単結晶基板上に形成され、かつ電流リークを小さくできる構成を備えたGaN系半導体発光素子を提供する。本GaN系半導体レーザー素子(50)は、p側電極及びn側電極が積層構造側に設けられている半導体レーザー素子であって、サファイア基板に代えてGaN単結晶基板(52)を使い、かつGaN-ELO構造層を設けることな

くGaN系化合物半導体層の積層構造を直接GaN単結晶基板(52)上に形成したことを除いて、サファイア基板上に形成した従来のGaN系半導体レーザー素子と同じ構成を備えている。GaN単結晶基板(52)は、幅10 μ mの連続帯状のコア部(52a)を有し、コア部(52a)とコア部(52a)との間隔は400 μ m程度である。レー

[続葉有]



(74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒105-0001 東京都 港区 虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(81) 指定国 (国内): CN, KR, US.

ザストライプ (30)、p側電極 (36) のパッドメタル (37)、及びn側電極 (38) は、Ga N単結晶基板 (52) のコア部 (52 a) 以外の領域上の積層構造に設けられ、パッドメタル (37) の側縁部とコア部 (52 a) の外周縁との間の水平距離 S_p 及びn側電極 (38) とコア部 (52 a) の外周縁との間の水平距離 S_n は、双方とも、 $95\mu m$ である。

明 細 書

G a N系半導体素子

5

技術分野

本発明は、G a N系半導体素子に関し、更に詳細には、電流リークが小さいG a N系半導体素子、更には電流リークが小さく、発光効率の高いG a N系半導体発光素子に関するものである。

10

背景技術

G a N、G a I n N、A l G a I n N等のIII - V族窒化ガリウム系化合物半導体は、禁制帯幅が2 . 8 ~ 6 . 8 e Vにわたっているため、赤色から紫外領域での発光が可能な半導体発光素子の材料として注目されている。

15

そして、III - V族窒化ガリウム系化合物半導体を構成要素とする窒化ガリウム系半導体発光素子として、例えば青色や緑色の発光ダイオード (L E D) や、約4 0 5 n mの紫色領域で発振するG a N系半導体レーザ素子などが、開発、実用化されている。

20

ところで、G a N系半導体発光素子の作製に際して、一つの問題は、G a N系化合物半導体層と格子整合する基板を見い出すことが難しいということであって、現在、サファイア基板がG a N系半導体発光素子の基板として多用されている。

25

それは、サファイア基板がG a N系化合物半導体層を1 0 0 0 ℃付近の成長温度で結晶成長させる際に必要な化学的安定性を備え、結晶品質が良好であり、比較的大きな口径の基板が経済的な価格で、しかも安定

して供給されるなどの理由からである。

5 サファイア基板上にGaN系半導体発光素子を形成する際には、サファイア基板の格子定数がGaNの格子定数とは10%以上も異なるために、一般に、GaN層等のバッファ層をサファイア基板上に低温で成長させ、低温バッファ層を介してGaN系化合物半導体単結晶を成長させることにより、格子定数の違いを緩和している。

10 しかし、低温バッファ層を設け、低温バッファ層上にGaN系化合物半導体層を成長させるだけでは、結晶欠陥密度が高くなって、高品質のGaN系化合物半導体層の結晶成長が難しく、信頼性の高いGaN系半導体発光素子を作製することが難しかった。

そのため、従来、低温バッファ層を介在させるに加えて、GaNの横方向選択成長(GaN-ELO:Epitaxially Laterally Overgrowth)を行って、GaN-ELO構造層を形成し、その上にGaN系化合物半導体層を成長させている。

15 ここで、図5を参照して、サファイア基板上にGaN-ELO構造層を形成したGaN系半導体レーザ素子の構成を説明する。図5はサファイア基板上に形成したGaN系半導体レーザ素子の構成を示す断面図である。

20 GaN系半導体レーザ素子10は、図5に示すように、サファイア基板12と、サファイア基板12上に横方向成長法により形成されたGaN-ELO構造層14と、GaN-ELO構造層14上にMOCVD法により順次成長させた、n型GaNコンタクト層16、n型AlGaNクラッド層18、n型GaNガイド層20、GaInN多重量子井戸(MQW)構造の活性層22、p型GaNガイド層24、p型AlGaNクラッド層26、及びp型GaNコンタクト層28の積層構造とを備えている。

25

p-AlGa_Nクラッド層26の上部層、及びp-GaNコンタクト層28は、Ga_N-ELO構造層14の種結晶部と会合部との間に位置するストライプ状リッジ30として形成されている。

5 更に、p-AlGa_Nクラッド層26の残り層、p-GaN光ガイド層24、活性層22、n-GaN光ガイド層20、n-AlGa_Nクラッド層18、及びn-GaNコンタクト層16の上部層は、リッジ30と平行なメサ32として形成されている。

10 リッジ30の両側面及びp-AlGa_Nクラッド層26の残り層上には、p-GaNコンタクト層28上を開口したSiO₂膜34が成膜されている。

15 p-GaNコンタクト層28上には、Pd/Ptの積層金属膜からなるp側電極36が形成され、更にSiO₂膜34の開口を介してp側電極36と電氣的に接続したパッドメタル37が引き出し電極としてSiO₂膜34上に設けられている。これにより、低抵抗型のショットキー性のp側電極を形成することができる。尚、パッドメタル37の組成は、Ti/Pt/Auの積層膜である。

また、n-GaNコンタクト層16上には、SiO₂膜34の開口を介してTi/Pt/Auの積層金属膜からなるn側電極38が設けてある。

20 上述のように、ELO法等によってサファイア基板とGa_N系化合物半導体層との格子不整合の問題を緩和しているものの、Ga_N系半導体発光素子の基板としてサファイア基板を使用する限り、どうしても、格子不整合に伴う問題が残る。また、サファイア基板は絶縁性であるから、電極配置上で制約がある。

25 そのため、Ga_N基板の実現が強く要請されているが、Ga_N系半導体発光素子の基板とすることができるような、結晶欠陥の少ない大径の

G a N基板を工業的に作製することは、従来、極めて難しかった。

しかし、最近、新規な技術に基づく大径のG a N基板の実現が現実化しつつある。

ここで、図6 A及び図6 Bを参照して、新規な構成のG a N基板の構成を説明する。図6 A及び図6 Bは、それぞれ、コア部及び低密度欠陥領域を説明するG a N基板の斜視図及び断面図である。

G a N基板4 0は、図6 に示すように、周囲の低密度欠陥領域4 2 より結晶欠陥密度が高い高密度欠陥領域（以下、コア部と言う）4 4 が、周期的な基板面上配列で基板を貫通している。

10 コア部の配列パターンは、自在であって、例えばドット状の分散型パターンとして、図7 Aに示すような六方格子状の配列、図7 Bに示すような正方形格子状の配列、及び図7 Cに示すような長方形格子状の配列等がある。

15 また、コア部の配列パターンは、上述のような断続型又は分散型パターンだけではなく、例えば図8 Aに示すように、点状のコア部4 4 が断続して線状に配置されたもの、更には図8 Bに示すように、コア部4 4 が線状に連続しているものも作製できる。

20 上述のG a N基板は、特開2 0 0 1 - 1 0 2 3 0 7号公報に開示された技術を改良し、低密度欠陥領域中に発生するコア部の位置を制御することにより、開発されたものである。

G a N単結晶の基本的な結晶成長メカニズムは、G a N単結晶がファセット面からなる斜面を維持して成長することにより、転位を伝播させ、所定の位置に転位を集合させる。このファセット面により成長した領域は、転位の移動により、低欠陥領域となる。

25 一方、そのファセット面斜面下部には、明確な境界を持った高密度欠陥領域（コア部）を生成しつつ成長が行われ、転位は、高密度欠陥領域

の境界、又はその内部に集合し、ここで消滅あるいは蓄積する。

この高密度欠陥領域の形状によって、ファセット面の形状も異なる。欠陥領域が、ドット状の場合は、そのドットを底としてファセット面が取り巻き、ファセット面からなるピットを形成する。

- 5 また、欠陥領域が、ストライプ状の場合は、ストライプを谷底としてその両側にファセット面傾斜面を有し、横に倒した3角形のプリズム状のファセット面となる。

更に、この高密度欠陥領域は、いくつかの状態があり得る。例えば、高密度欠陥領域が多結晶からなる場合がある。また、単結晶であるが、
10 周りの低密度欠陥領域に対して、微傾斜している場合もある。また、周りの低密度欠陥領域に対して、C軸が反転している場合もある。高密度欠陥領域は、明確な境界を有しており、周りの低密度欠陥領域と区別することができる。

高密度欠陥領域を有して成長することにより、その周りのファセット
15 面を埋め込むことなく、ファセット面を維持して成長を進行させることができる。

その後、Ga_{0.5}N_{0.5}成長層の表面を研削、研磨を施すことにより、表面を平坦化し、基板として使用できる形態とすることができる。

高密度欠陥領域（コア部）を形成する方法は、下地基板上にGa_{0.5}N_{0.5}を
20 結晶成長する際に、コア部を形成する場所に種を予め形成しておくことにより、コア部を生成させることができる。

その種としては、種となる微小領域に非晶質あるいは多結晶の層を形成する。その上にGa_{0.5}N_{0.5}をエピタキシャル成長させることにより、丁度、種の領域に高密度欠陥領域、つまりコア部を形成することが出来る。

25 Ga_{0.5}N_{0.5}基板の具体的な製造方法を説明する。まず、Ga_{0.5}N_{0.5}層を成長させる下地基板を用意する。下地基板の組成には制約がなく、例えば一般

的なサファイア基板でも良いが、後工程で下地基板を除去することを考慮すると、GaAs基板等が好ましい。

下地基板の上に、例えば、SiO₂層からなる種を規則的に、例えば周期的に形成する。種の形状は、コア部の配列、形状に従って、ドット状、あるいはストライプ状である。

その後、HVPE法 (Hydride Vapor Phase Epitaxy) にて、GaNを厚膜成長する。成長後、表面には、種のパターン形状に応じたファセット面が形成される。例えば、種がドット状のパターンの場合は、ファセット面からなるピットが規則正しく形成され、種がストライプ状の場合は、プリズム状のファセット面が形成される。

GaN層を成長させた後、下地基板を除去し、さらに、GaNの厚膜層を研削加工、研磨加工して表面を平坦化することにより、GaN基板を作製することができる。GaN基板の厚さは、自由に設定出来る。

このようにして作製されたGaN基板は、c面が主面であり、その中に、所定のサイズのドット状又はストライプ状のコア部が規則正しく形成されたGaN基板となっている。コア部以外のGaN単結晶領域は、コア部に比べて、転位密度が著しく低い低密度欠陥領域となっている。

上述の方法により試作されたGaN基板は、ELO法を適用して成長させたGaN層と同様な良好な結晶性を有し、しかも低密度欠陥領域の幅がELO法による低密度欠陥領域の幅の少なくとも10倍以上あり、高密度欠陥領域 (コア部) の幅はELO法によるものより狭く、例えば数十 μ m幅である。

例えばコア部が400 μ m間隔で[1-100]方向に延在し、コア部とコア部との間に低密度欠陥領域が存在する(0001)n型GaN基板が開発されている。開発された(0001)n型GaN基板の転位密度は、コア部の中心からの距離(μ m)に対して、図9に示すような

値になっていて、転位密度が $1.0 \times 10^6 \text{ cm}^{-2}$ 以下の領域が $150 \mu\text{m}$ 以上の幅にわたって延在し、最小転位密度は $2.8 \times 10^5 \text{ cm}^{-2}$ に達する。図 9 中、横軸の 0 は一方のコア部の中心であり、400 は他方のコア部の中心を意味する。

5 GaN 基板は上述のように優れた結晶性を有する基板なので、GaN 基板を使って GaN 系半導体レーザ素子を作製する試み、例えば前述した GaN 系半導体レーザ素子と同じ積層構造を備えた GaN 系半導体レーザ素子を作製する試みが盛んに行われている。

10 しかし、GaN 基板を基板にを使って GaN 系半導体レーザ素子を作製したとき、パッドメタルを介して p 側電極から注入した電流が、発光作用に寄与することなくリークする、つまり p 側電極から n 側電極に、或いは接地側に短絡するように流れるという問題が生じた。

このために、電流の光変換効率が低くなるばかりでなく、発光しないこともあった。

15 以上の説明では半導体レーザ素子等の GaN 系半導体発光素子を例に挙げて問題を説明しているが、この問題は、GaN 系半導体発光素子に限らず、電子走行素子等の GaN 系半導体素子全般に該当する問題である。

20 そこで、本発明の目的は、前述した GaN 基板を使って電流リークが小さくなる構成を備えた GaN 系半導体素子を提供することである。

発明の開示

本発明者は、上述の GaN 基板を使った GaN 系半導体レーザ素子で電流リークが大きい原因を調べている過程で、次のことが判った。

25 すなわち、本発明者は、試料 GaN 系半導体レーザ素子として、図 10 に示すように、サファイア基板 12 に代えて上述の特性を有する Ga

N基板46を使い、かつGa_{0.5}N_{0.5}構造層14を設けることなくGa_{0.5}N_{0.5}系化合物半導体層の積層構造を直接Ga_{0.5}N_{0.5}基板46上に形成したことを除いて、図5のGa_{0.5}N_{0.5}系半導体レーザ素子10と同じ構成の半導体レーザ素子を作製した。

- 5 そして、電流リークを検査したところ、電流リークが大きくなるGa_{0.5}N_{0.5}系半導体レーザ素子48では、p側電極36上のパッドメタル（引出し電極）37が、図10に示すように、Ga_{0.5}N_{0.5}基板46のコア部46a上に形成されていて、常温の動作条件で試料Ga_{0.5}N_{0.5}系半導体レーザ素子48を動作試験したところ、図11Bのグラフ（2）に示すように、印
10 加電圧を増大して注入電流を増大させても、注入電流対光出力の関係は、グラフ（1）に示すように、光出力がほぼ0.0mWで増大せず、フラットであり、レーザ発振していないことが判った。

- 尚、図11Aは、レーザストライプ30、パッドメタル37及びn側電極38の配置とコア部46aの配置との関係を示すGa_{0.5}N_{0.5}系半導体レーザ素子の平面図であり、図11Bは横軸に注入電流〔mA〕を縦軸に
15 光出力〔mW〕及び印加電圧〔V〕を取り、注入電流対光出力の関係及び注入電流対印加電圧の関係をグラフ（1）及びグラフ（2）で示す図である。

- 更に、本発明者は、次のことも見い出した。Ga_{0.5}N_{0.5}基板上に形成され
20 たGa_{0.5}N_{0.5}系化合物半導体層の積層構造のうちコア部上の積層構造部分では、コア部の結晶転位が伝搬しているために、高密度欠陥領域となっていて、電気抵抗が低い領域となっている。しかも、コア部46a上の積層構造の高密度欠陥領域は、図12に示すように、それ以外の積層構造部分と同様にはエピタキシャル成長せず、表面に段差が生じている。そ
25 のために、パッドメタル37下のSiO₂膜34に膜厚の薄い領域が局所的に生じている。

その結果、注入電流がパッドメタル 37 から発光作用に寄与することなく積層構造の高密度欠陥領域を経由して G a N 基板 46 に達し、導電性を有する G a N 基板 46 を介して n 側電極 36 或いは接地側に短絡する。その結果、上述のグラフ (1) のようにレーザ発振しないことが判

5 った。

また、図 13A に示すように、レーザストライプ 30、p 側電極 36 のパッドメタル 37、及び n 側電極 38 をコア部以外の領域に配置した G a N 系半導体レーザ素子では、注入電流対光出力及び注入電流対印加電圧を測定したところ、図 13B に示すように、約 4 V の印加電圧で明

10 確なしきい値電流値を示し、印加電圧及び注入電流の増大と共に光出力も増大し、レーザ発振することが判った。

また、パッドメタル 37 がコア部上に形成されていない限り、n 側電極 36 が仮にコア部上に形成されていたとしても、電流リークはそれほど大きくなりえないことも見い出した。

そこで、上記目的を達成するために、本発明に係る G a N 系半導体素子は、低密度欠陥領域、及び基板を貫通する高密度欠陥領域として周期的な基板面上配列で低密度欠陥領域に存在するコア部を有する G a N 基板と、G a N 基板上に形成された G a N 系化合物半導体層の積層構造と、積層構造上に設けられた一方の電極、及び一方の電極上に成膜された絶

15 縁膜上に形成され、絶縁膜の開口を介して一方の電極と電気的に接続するパッドメタルを有する電極部とを備え、電極部が、G a N 基板のコア部以外の領域上の積層構造に設けられていることを特徴としている。

本発明に係る G a N 系半導体素子では、上述の実験で考察したように、凹凸が生じていて、絶縁膜や電極等が段切れを引き起こすおそれのある

25 コア部上の積層構造を避け、G a N 基板のコア部以外の領域上の積層構造に、一方の電極及びパッドメタルを有する電極部を設けることにより、

電極又はパッドメタルからの電流リークを防止している。

コア部は、連続帯状の配列、断続的帯状の配列、及び分散型配列のいずれかの基板面上配列で低密度欠陥領域に存在する。つまり、コア部は、図 8 A 及び図 8 B に示すように、基板面で連続帯状又は連続線状に延在
5 していても、又はドット状のコア部が、図 7 A から図 7 C に示すように、分散して配置されていても良い。

一方の電極とは、積層構造上に形成された電極であって、p 側電極でも、n 側電極でも良い。また、一方の電極は、絶縁膜の開口を介して、引き出し電極として設けられたパッドメタルに接続している。一方の電
10 極の平面形状は、所定の電極面積を有する限り任意であって、ストライプ状でも、四角形状でも良い。

パッドメタルの平面形状は、引き出し電極として機能する限り任意であって、ストライプ状でも、四角形状でも、円形状でも良く、また、パッドメタルの組成は、引き出し電極として機能する限り任意であって、
15 例えば T i / P t / A u からなる積層膜である。

好適には、コア部とコア部との間隔が大きな G a N 基板を使って、電極部を、一のコア部と一のコア部の隣のコア部との間の G a N 基板の低密度欠陥領域上の積層構造に設けるようにする。

電極部の少なくとも一部が、G a N 基板のコア部上の積層構造に設け
20 られていると、本発明の効果は得られ難い。つまり、電極部が、明確に、G a N 基板のコア部以外の領域上の積層構造に設けられていることが重要である。

好適には、前述の G a N 基板の検査結果に基づいて、電極部が、コア部の中心から 1 0 0 μ m 以上離れた G a N 基板の領域上の積層構造に設
25 けられているようにする。

また、パッドメタルはコア部の外縁部より 5 0 μ m 以内であっても良

いが、望ましくは、一方の電極が、コア部の外縁部から $50\mu\text{m}$ 以上離れた GaN 基板の領域上の積層構造に設けられているようにする。これにより、電流リークを一層確実に抑制することができる。

一方の電極の対向電極は、GaN 基板の裏面に設けられていて良く、
5 また、一方の電極の対向電極が積層構造側に設けられていても良い。

一方の電極の対向電極を積層構造側に設けるときには、好適には、一方の電極及び対向電極の双方をコア部以外の領域上の積層構造側に設けるようにする。これにより、更に電流リークを抑制することができる。

本発明は、GaN 系半導体素子全般、特に GaN 系発光ダイオード、
10 GaN 系半導体レーザ素子等を含む、GaN 系半導体素子に好適に適用できる。また、パッドメタルが絶縁膜の開口を介してストライプ電極に電氣的に接続している限り、レーザストライプの構造にも制約無く適用できる。

更には、GaN 系 FET や GaN 系ヘテロ接合バイポーラトランジスタ (HBT) などの GaN 系化合物半導体を用いた電子走行素子にも適用
15 できる。

また、一方の電極、対向電極、及び一方の電極のパッドメタルを構成する金属組成に制約無く適用できる。

本発明で、GaN 系化合物半導体とは、V 族として窒素 (N) を有し、
20 組成が $\text{Al}_a\text{B}_b\text{Ga}_c\text{In}_d\text{N}_x\text{PyAs}_z$ ($a + b + c + d = 1$ 、 $0 \leq a$ 、 b 、 c 、 $d \leq 1$ 、 $x + y + z = 1$ 、 $0 < x \leq 1$ 、 $0 \leq y$ 、 $z \leq 1$) で表示される化合物半導体と言う。

図面の簡単な説明

25 図 1 A は、実施形態例 1 の GaN 系半導体レーザ素子の構成を示す断面図、及び図 1 B は実施形態例 1 の GaN 系半導体レーザ素子の p 側電

極のパッドメタル及びn側電極とコア部との配置関係を示す平面図である。

図2Aから図2Cは、それぞれ、実施形態例1のGa_{0.5}N系半導体レーザ素子を作製する際の工程毎の断面図である。

5 図3Aと図3Bは、それぞれ、図2Cに続いて、実施形態例1のGa_{0.5}N系半導体レーザ素子を作製する際の工程毎の断面図である。

図4Aは実施形態例2のGa_{0.5}N系半導体レーザ素子の構成を示す断面図、及び図4Bは実施形態例2のGa_{0.5}N系半導体レーザ素子のp側電極のパッドメタル及びn側電極とコア部との配置関係を示す平面図である。

10 図5は、サファイア基板に形成したGa_{0.5}N系半導体レーザ素子の構成を示す断面図である。

図6A及び図6Bは、それぞれ、コア部及び低密度欠陥領域を説明するGa_{0.5}N基板の斜視図及び断面図である。

15 図7Aから図7Cは、それぞれ、分散型コア部の配置を示す平面図である。

図8Aと図8Bは、それぞれ、連続及び断続の帯状のコア部の配置を示す平面図である。

図9は、転位密度を示すグラフである。

図10は、試料Ga_{0.5}N系半導体レーザ素子の構成を示す断面図である。

20 図11Aは、レーザストライプ、パッドメタル及びn側電極の配置とコア部の配置との関係を示すGa_{0.5}N系半導体レーザ素子の平面図であり、図11Bは横軸に注入電流[mA]を縦軸に光出力[mW]及び印加電圧[V]を取り、注入電流対光出力の関係及び注入電流対印加電圧の関係をグラフ(1)及びグラフ(2)で示す図である。

25 図12は、積層構造の高密度欠陥領域上で絶縁膜が薄くなっている状態を説明する断面図である。

図 1 3 A は、レーザストライプ、パッドメタル及び n 側電極の配置と
コア部の配置との関係を示す G a N 系半導体レーザ素子の平面図であり、
図 1 3 B は横軸に注入電流 [mA] を縦軸に光出力 [mW] 及び印加電
圧 [V] を取り、注入電流対光出力の関係及び注入電流対印加電圧の関
係をグラフ (1) 及びグラフ (2) で示す図である。

発明を実施するための最良の形態

以下に、添付図面を参照し、実施形態例を挙げて本発明の実施の形態
を具体的かつ詳細に説明する。尚、以下の実施形態例で示す成膜方法、
化合物半導体層の組成等は、本発明の理解を容易にするための一つの例
示であって、本発明はこの例示に限定されるものではない。

実施形態例 1

本実施形態例は本発明に係る G a N 系半導体素子を G a N 系半導体レ
ーザ素子に適用した実施形態の一例であって、図 1 A は本実施形態例の
G a N 系半導体レーザ素子の構成を示す断面図、及び図 1 B は本実施形
態例の G a N 系半導体レーザ素子の p 側電極のパッドメタル及び n 側電
極とコア部との配置関係を示す平面図である。

本実施形態例の G a N 系半導体レーザ素子 5 0 は、半導体レーザ素子
の実装上の都合から p 側電極及び n 側電極が積層構造側に設けられてい
る半導体レーザ素子であって、図 1 A に示すように、サファイア基板 1
2 に代えて前述の図 9 に示す特性を有する新規な構成の G a N 基板 5 2
を使い、かつ G a N - E L O 構造層 1 4 を設けることなく G a N 系化合
物半導体層の積層構造を直接 G a N 基板 5 2 上に形成したことを除いて、
図 5 の G a N 系半導体レーザ素子 1 0 と同じ構成を備えている。

また、図 5 の G a N 系半導体レーザ素子 1 0 と同様に、電極部は、 p
側電極 3 6 と、 p 側電極 3 6 の引出し電極として S i O₂ 膜 3 4 の開口

を介して p 側電極 36 と電氣的に接続している、p 側電極 36 より幅広のパッドメタル 37 とを有する。パッドメタル 37 の組成は、Ti / Pt / Au である。

5 GaN 基板 52 は、図 1 B に示すように、例えば幅 10 μ m のドット状又は連続帯状のコア部 52a を有し、コア部 52a とコア部 52a との間隔は 400 μ m 程度である。

レーザストライプ 30、p 側電極 36 及びパッドメタル 37 を有する p 側電極部（パッドメタル 37 で代表する）、並びに n 側電極 38 は、図 1 A 及び図 1 B に示すように、GaN 基板 52 のコア部 52a 以外の
10 領域上の積層構造に設けられている。

p 側電極部（パッドメタル 37）及び n 側電極 38 の側縁部は、コア部 52a の中心から 100 μ m 離隔している。従って、パッドメタル 37 の側縁部とコア部 52a の外周縁との間の水平距離 S_p 及び n 側電極 38 とコア部 52a の外周縁との間の水平距離 S_n は、双方とも、95
15 μ m であって、p 側電極 36 はコア部 52a の側縁部から 50 μ m 以上離隔している。

図 2 A ~ C 及び図 3 A、B を参照して、本実施形態例の GaN 系半導体レーザ素子 50 を作製する方法を説明する。図 2 A から図 2 C、及び図 3 A と図 3 B は、それぞれ、本実施形態例の GaN 系半導体レーザ素子 50 を作製する際の工程毎の断面図である。
20

本実施形態例の GaN 系半導体レーザ素子 50 を作製する際には、先ず、コア部 52a とコア部 52a との間隔が 400 μ m 程度の GaN 基板 52 を使用する。

そして、GaN 基板 52 上に、MOCVD 法等によって順次、図 2 A
25 に示すように、n 型 GaN コンタクト層 16、n 型 AlGaIn クラッド層 18、n 型 GaN ガイド層 20、GaInN 多重量子井戸 (MQW)

構造の活性層 22、p 型 GaN ガイド層 24、p 型 AlGaIn クラッド層 26、及び p 型 GaN コンタクト層 28 をエピタキシャル成長させて、積層構造を形成する。

コア部 52a の転位等の欠陥は、図 2A に示すように、積層構造内に
5 伝搬して高密度欠陥領域を形成している。

次いで、p 型化合物半導体層の活性化前処理として、積層構造をアセトンで洗浄して有機物を除去し、UV オゾン処理を施して薄い酸化膜を積層構造上に成膜する。

続いて、400℃程度の温度でアニール処理を施して脱水素処理を行
10 いつつ p 型不純物の Mg を活性化して、p 型化合物半導体層の活性化処理を行う。

更に、活性化後処理として、KOH による洗浄処理を行い、続いて活性化前処理で成膜した酸化膜を HF 系ガス処理により除去する。

次に、p 型 GaN コンタクト層 28 上に SiO₂ 膜を蒸着させ、図 2
15 B に示すように、パターニングしてストライプ状の SiO₂ 膜マスク 54 を形成する。

次いで、SiO₂ 膜マスク 54 上から p 型 GaN コンタクト層 28 及び p 型 AlGaIn クラッド層 26 の上部層をエッチングして、図 2B に示すように、コア部 52a から離隔した位置にストライプ状リッジ 30
20 を形成する。

続いて、SiO₂ 膜マスク 54 を除去し、別の SiO₂ 膜を積層構造上に蒸着させ、別の SiO₂ 膜をパターニングしてマスク 56 を形成し、p 型 AlGaIn クラッド層 26 の下部層、p 型 GaN ガイド層 24、活性層 22、n 型 GaN ガイド層 20、n 型 AlGaIn クラッド層 18、
25 及び n 型 GaN コンタクト層 16 の上部層をエッチングして、図 2C に示すように、右のコア部 52a から大きく離隔した位置にストライプ状

リッジ 30 と同じ方向の延在するメサ 32 を形成する。

次いで、マスク 56 を除去した後、積層構造上に SiO_2 膜 34 を成膜し、リソグラフィ処理及びエッチング加工を施して p 型 GaN コンタクト層 28 上の SiO_2 膜 34 を開口し、次いでリフトオフ加工を適用して、図 3 A に示すように、p 側電極 36 を形成する。

続いて、リソグラフィ処理、エッチング加工、更にリフトオフ加工を施して、図 3 B に示すように、p 側電極 36 と電氣的に接続する p 側引き出し電極としてパッドメタル 37 を形成する。その際、パッドメタル 37 と左のコア部 52 a の外周との距離が少なくとも $0\ \mu\text{m}$ 、本実施形態例では $95\ \mu\text{m}$ 離れているようにする。

更に、リソグラフィ処理、エッチング加工、更にリフトオフ加工を施して、右のコア部 52 a の外周から離隔している位置、本実施形態例では $95\ \mu\text{m}$ 離れている位置に n 側電極 38 を形成する。

本実施形態例の GaN 系半導体レーザ素子 50 では、レーザストライプ 30、p 側電極 36 のパッドメタル 37、及び n 側電極 38 が、GaN 基板 52 のコア部 52 a 以外の領域上の積層構造に設けられているので、電流リークが抑制され、電流の光変換効率が高い。

実施形態例 2

本実施形態例は本発明に係る GaN 系半導体素子を GaN 系半導体レーザ素子に適用した実施形態の別の例であって、図 4 A は本実施形態例の GaN 系半導体レーザ素子の構成を示す断面図、及び図 4 B は本実施形態例の GaN 系半導体レーザ素子の p 側電極のパッドメタル及び n 側電極とコア部との配置関係を示す平面図である。

本実施形態例の GaN 系半導体レーザ素子 60 は、p 側電極が積層構造側に、n 側電極が基板裏面に設けられている半導体レーザ素子であって、図 4 A に示すように、サファイア基板 12 に代えて前述の図 9 に示

す特性を有する新規な構成のGaN基板62を使い、かつGaN-EL
O構造層14を設けることなくGaN系化合物半導体層の積層構造を直
接GaN基板62上に形成したこと、n型GaNコンタクト層16を設
けていないこと、及びn側電極64がGaN基板62の裏面に設けてあ
5 るを除いて、図5のGaN系半導体レーザ素子10と同じ構成を備えて
いる。

つまり、GaN系半導体レーザ素子60は、図4Aに示すように、G
aN基板62と、GaN基板62上にMOCVD法により順次成長させ
た、n型AlGaNクラッド層18、n型GaNガイド層20、GaI
10 nN多重量子井戸(MQW)構造の活性層22、p型GaNガイド層2
4、p型AlGaNクラッド層26、及びp型GaNコンタクト層28
の積層構造と、p側電極36及びパッドメタル37を有する電極部とを
備えている。

GaN基板62は、図4Bに示すように、幅10 μ mの連続帯状のコ
15 ア部62aを有し、コア部62aとコア部62aとの間隔は400 μ m
程度である。

p-AlGaNクラッド層26の上部層、及びp-GaNコンタクト
層28は、コア部62aと隣のコア部62aとの間に位置するストライ
プ状リッジ30として形成されている。

20 p-GaNコンタクト層28上を開口したSiO₂膜34が、リッジ
30の両側面及びp-AlGaNクラッド層26の残り層上に成膜され
ている。

p-GaNコンタクト層28上には、Pd/Pt/Auの積層金属膜
からなるp側電極36が形成され、更にSiO₂膜34の開口を介して
25 p側電極36と電氣的に接続するパッドメタル37がp側の引き出し電
極としてSiO₂膜34上に設けられている。

レーザストライプ 30、p 側電極 36 及びパッドメタル 37 を有する p 側電極部（パッドメタル 37 で代表する）、並びに n 側電極 64 は、図 4 A 及び図 4 B に示すように、Ga N 基板 62 のコア部 62 a 以外の領域上の積層構造に設けられている。

- 5 p 側電極部（パッドメタル 37）及び n 側電極 64 の側縁部は、コア部 62 a の中心から 100 μ m 離隔している。従って、パッドメタル 37 の側縁部とコア部 62 a の外周縁との間の水平距離 S_p 及び n 側電極 64 とコア部 62 a の外周縁との間の水平距離 S_n は、双方とも、95 μ m であって、p 側電極 36 はコア部 62 a の側縁部から 50 μ m 以上
10 離隔している。

- Ga N 系半導体レーザ素子 60 を作製する際には、先ず、コア部 62 a とコア部 62 a との間隔が 400 μ m 程度の Ga N 基板 62 を使用し、Ga N 基板 62 上に MOCVD 法等によって順次、n 型 Al Ga N クラッド層 18、n 型 Ga N ガイド層 20、Ga In N 多重量子井戸（MQ
15 W）構造の活性層 22、p 型 Ga N ガイド層 24、p 型 Al Ga N クラッド層 26、及び p 型 Ga N コンタクト層 28 をエピタキシャル成長させて、積層構造を形成する。

- 次いで、実施形態例 1 の Ga N 系半導体レーザ素子 50 と同様にして、p 型化合物半導体層の活性化前処理、活性化処理、及び活性化後処理を
20 積層構造に施す。

Ga N 系半導体レーザ素子 50 と同様にして、ストライプ状リッジ 30 を形成し、SiO₂ 膜 34 を成膜し、リソグラフィ処理及びエッチング加工を施して p 型 Ga N コンタクト層 28 上の SiO₂ 膜 34 を開口し、次いでリフトオフ加工を適用して、p 側電極 36 を形成する。

- 25 続いて、リソグラフィ処理、エッチング加工、更にリフトオフ加工を施して、図 3 B に示すように、p 側電極 36 と電氣的に接続する p 側引

き出し電極として左右のコア部 6 2 a の外周から少なくとも $0\ \mu\text{m}$ 離れている位置に、本実施形態例では $95\ \mu\text{m}$ 離れている位置にパッドメタル 3 7 を形成する。

5 更に、G a N 基板 6 2 の裏面を研磨して基板厚さを所定の厚さに調節し、次いで左右のコア部 6 2 a の外周から少なくとも $0\ \mu\text{m}$ 離れている位置で、本実施形態例では $95\ \mu\text{m}$ 離れている位置で G a N 基板 6 2 の裏面に n 側電極 6 4 を形成する。

本実施形態例の G a N 系半導体レーザ素子 6 0 では、レーザストライプ 3 0、p 側電極 3 6 のパッドメタル 3 7、及び n 側電極 6 4 が、G a N 基板 6 2 のコア部 6 2 a 以外の領域上の積層構造に設けられているので、電流リークが抑制され、電流の光変換効率が高い。

15 実施形態例 1 及び 2 では、連続帯状のコア部を有する G a N 基板を使用しているが、これに限らず、図 7 及び図 8 に示すような平面配置のコア部を有する G a N 基板を使っても良い。図 7 及び図 8 中、7 0 は基板領域を示し、7 2 はレーザストライプ、パッドメタル、及び n 側電極の形成領域を示す。

また、実施形態例ではエアリッジ型の G a N 系半導体レーザ素子を例に上げているが、エアリッジ型に限らず、埋め込み型の G a N 系半導体レーザ素子にも適用できる。

20 更には、ストライプ状の p 側電極を備えた G a N 系半導体レーザ素子を例に上げているが、電極がストライプ状でない G a N 系半導体レーザ素子、G a N 系発光ダイオードであっても良い。

25 更には、G a N 系 F E T や G a N 系ヘテロ接合バイポーラトランジスタ (H B T) などの G a N 系化合物半導体を用いた電子走行素子にも適用できる。

産業上の利用可能性

本発明によれば、低密度欠陥領域、及び周期的な基板面上配列で低密度欠陥領域に存在するコア部を有するGaN基板を基板として使い、GaN基板上にGaN系半導体素子を形成する際、積層構造上に設けられた一方の電極、及び一方の電極上の絶縁膜上に一方の電極の引き出し電極として設けられたパッドメタルを有する電極部をGaN基板のコア部以外の領域上の積層構造に設けることにより、注入電流のリークを抑制して、GaN系半導体素子の発光効率を高めることができる。

請求の範囲

1. 低密度欠陥領域、及び基板を貫通する高密度欠陥領域として周期的な基板面上配列で低密度欠陥領域に存在するコア部を有するGaN基板と、GaN基板上に形成されたGaN系化合物半導体層の積層構造と、積層構造上に設けられた一方の電極、及び一方の電極上に成膜された絶縁膜上に形成され、絶縁膜の開口を介して一方の電極と電氣的に接続するパッドメタルを有する電極部とを備え、電極部が、GaN基板のコア部以外の領域上の積層構造に設けられていることを特徴とするGaN系半導体素子。
2. コア部が、連続帯状の配列、断続的帯状の配列、及びドット状の分散型配列のいずれかの基板面上配列で低密度欠陥領域に存在することを特徴とする請求項1に記載のGaN系半導体素子。
3. 電極部が、一のコア部と一のコア部の隣のコア部との間のGaN基板の低密度欠陥領域上の積層構造に設けられていることを特徴とする請求項1又は2に記載のGaN系半導体素子。
4. 電極部を構成するパッドメタルが、コア部の中心から100 μ m以上離れたGaN基板の領域上の積層構造に設けられていることを特徴とする請求項1から3のいずれか1項に記載のGaN系半導体素子。
5. 一方の電極が、コア部の外縁部から50 μ m以上離れたGaN基板の領域上の積層構造に設けられていることを特徴とする請求項1から3のいずれか1項に記載のGaN系半導体素子。
6. 一方の電極の対向電極が、GaN基板の裏面に設けられていることを特徴とする請求項1から5のいずれか1項に記載のGaN系半導体素子。

7. 一方の電極の対向電極が、積層構造側に設けられていることを特徴とする請求項 1 から 5 のいずれか 1 項に記載の G a N 系半導体素子。

8. 一方の電極及び対向電極の双方が、G a N 基板のコア部以外の領域上の積層構造側に設けられていることを特徴とする請求項 7 に記載の G a N 系半導体素子。

9. 一方の電極が p 側電極及び n 側電極のいずれか一方であり、対向電極が p 側電極及び n 側電極のいずれか他方であることを特徴とする請求項 1 から 8 のいずれか 1 項に記載の G a N 系半導体素子。

10. G a N 系半導体素子が、G a N 系半導体発光素子であって、G a N 系半導体レーザ素子又は G a N 系発光ダイオードのいずれかのあることを特徴とする請求項 1 から 9 のうちのいずれか 1 項に記載の G a N 系半導体素子。

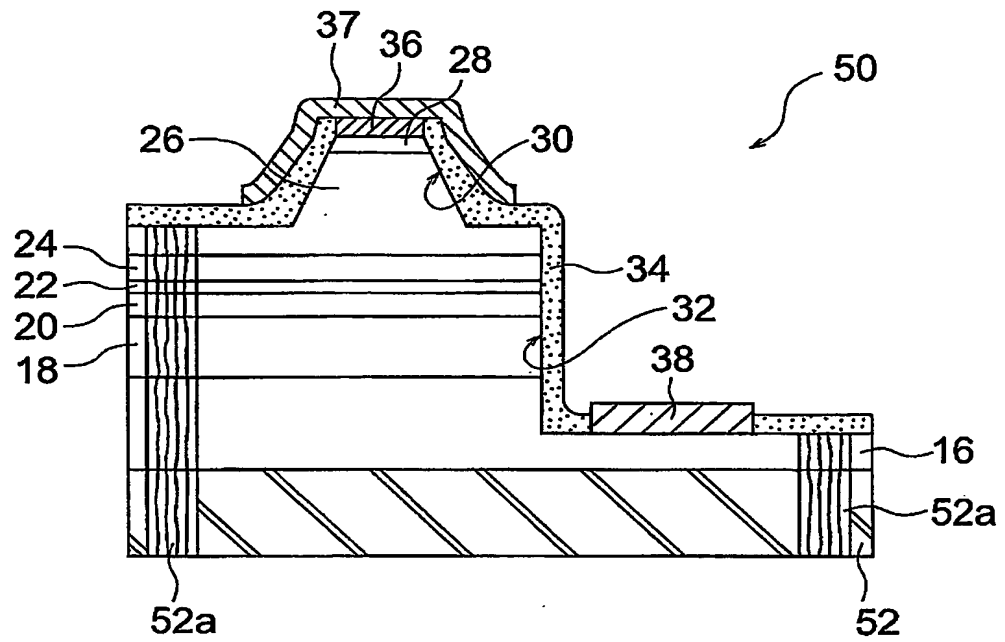
15

20

25

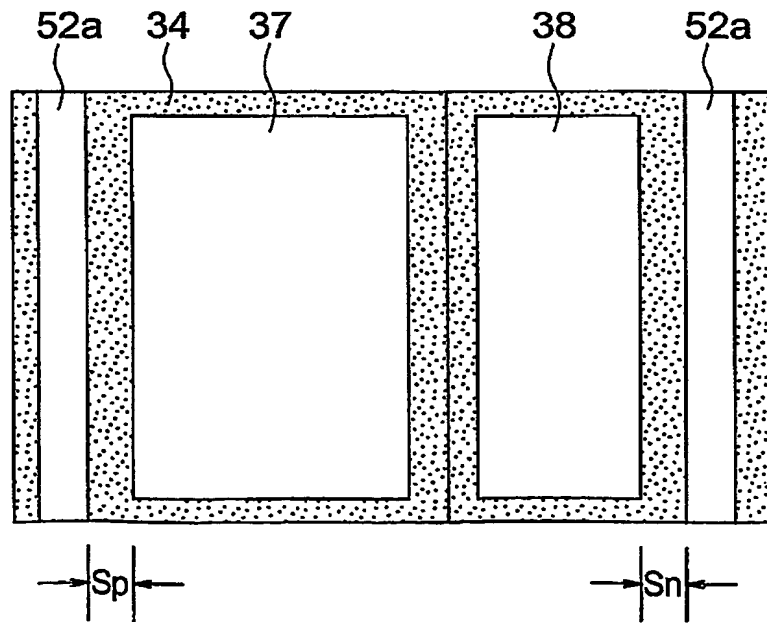
1/13

Fig.1A



(b)

Fig.1B



2/13

Fig.2A

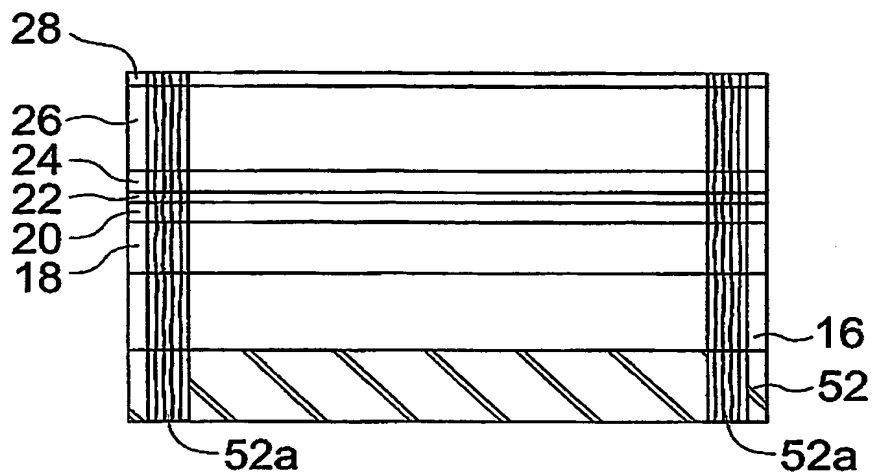


Fig.2B

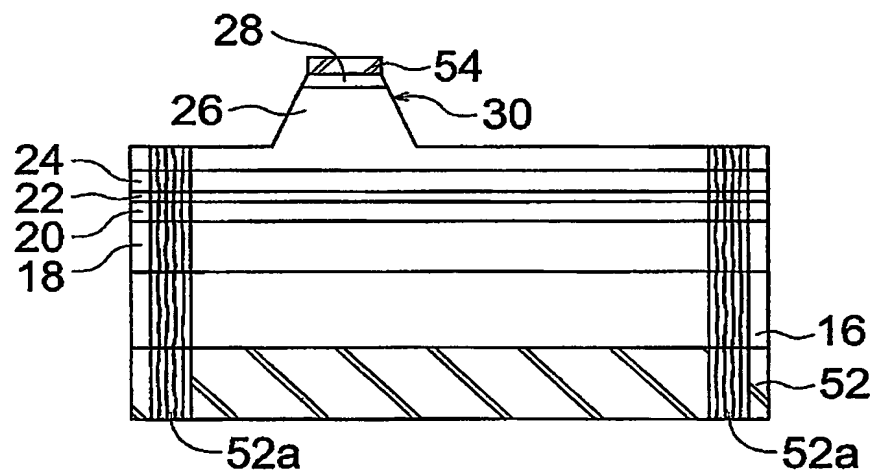


Fig.2C

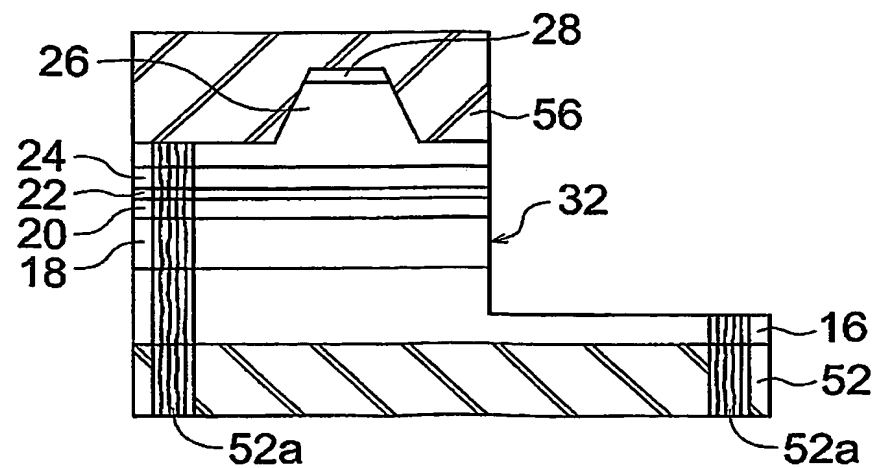


Fig.3A

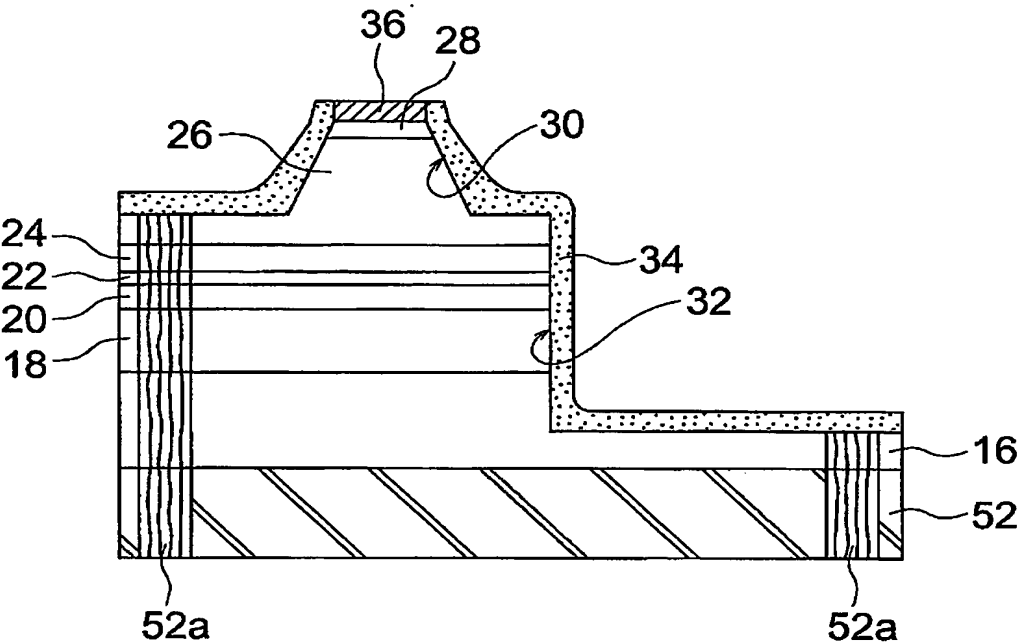


Fig.3B

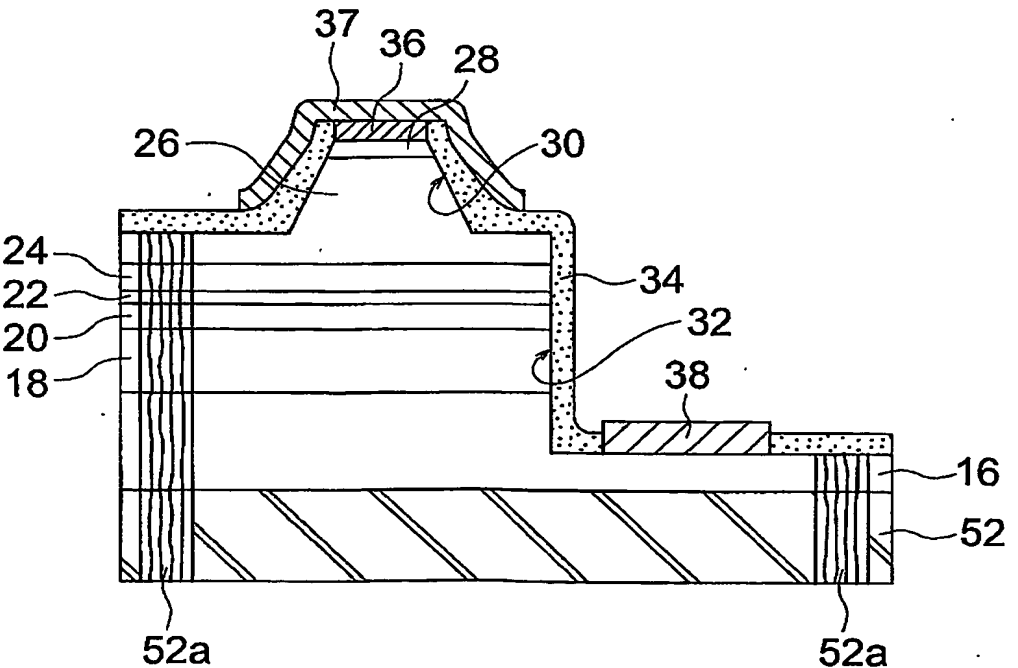


Fig.4A

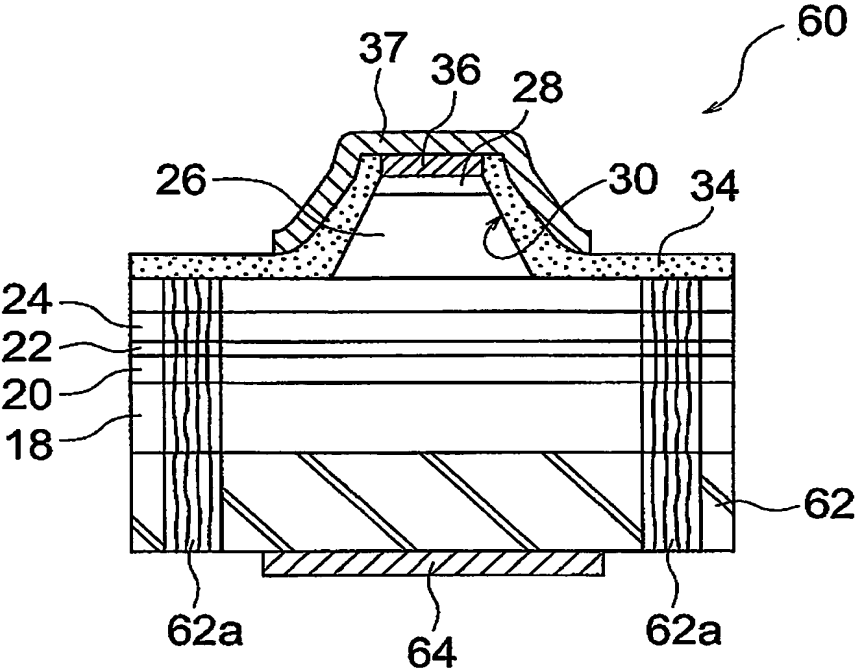
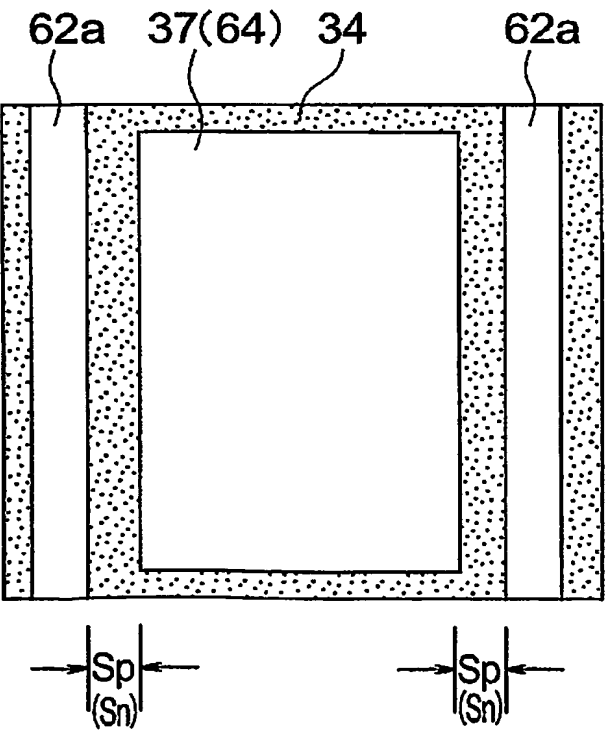


Fig.4B



5/13

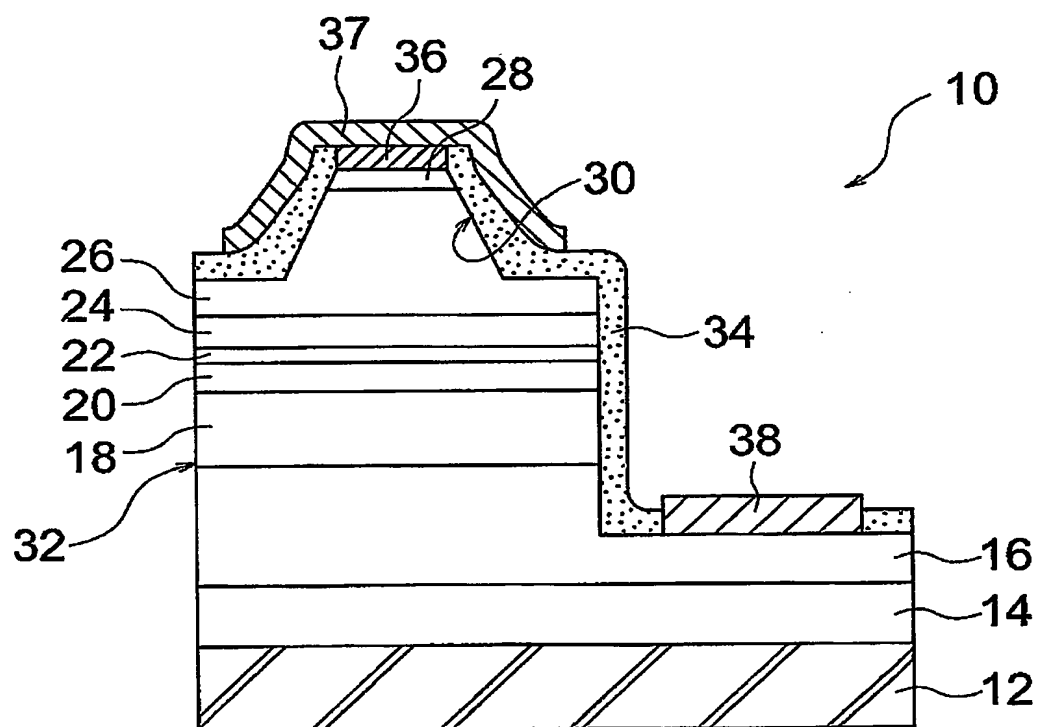


Fig.5

Fig.6A

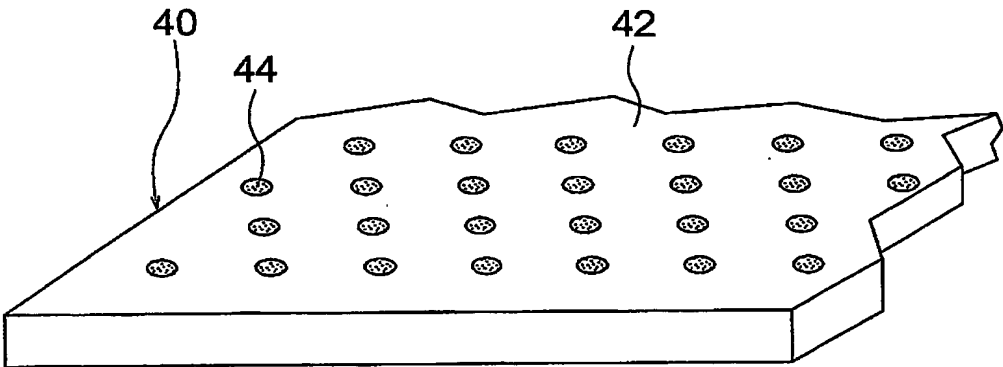
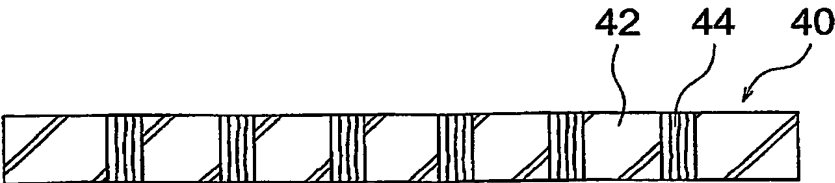


Fig.6B



7/13

Fig.7A

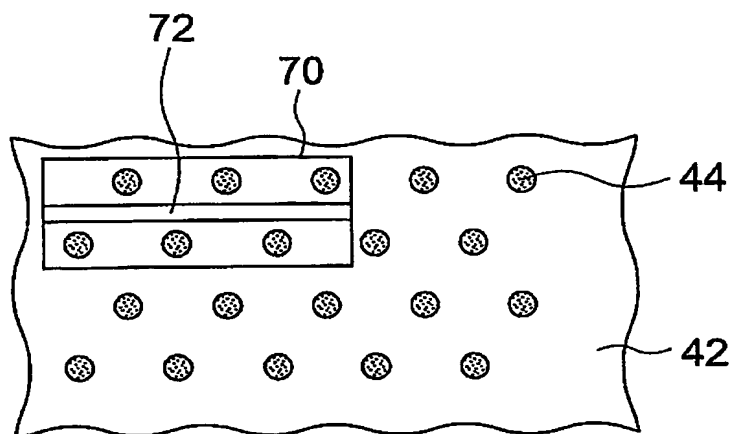


Fig.7B

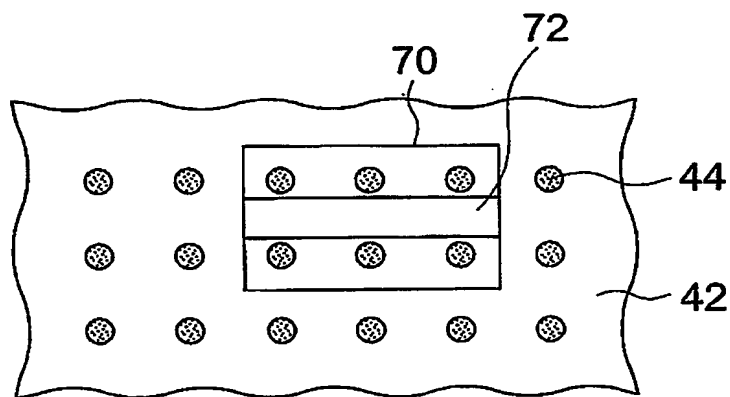
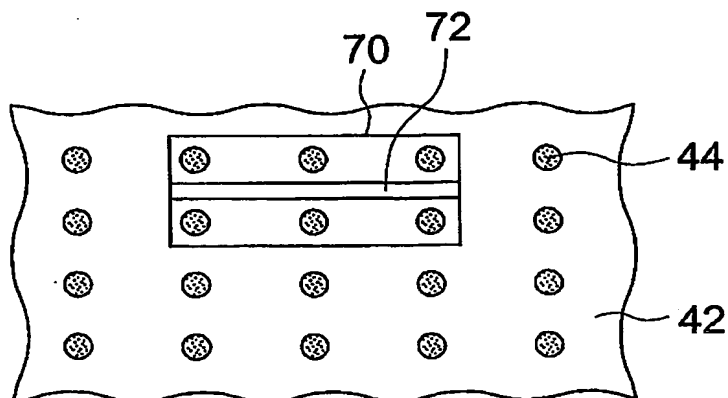


Fig.7C



8/13

Fig.8A

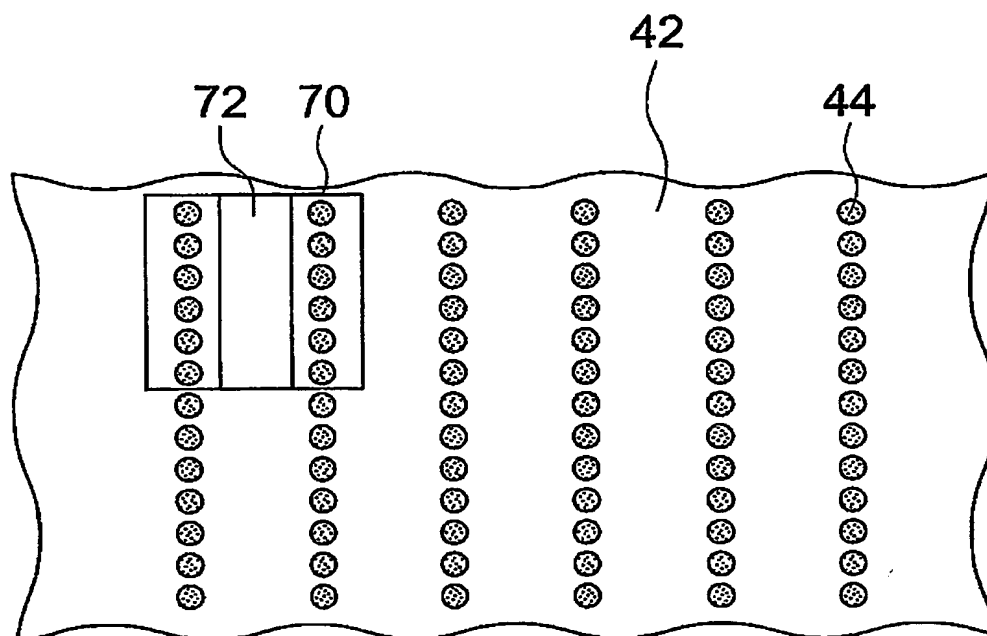
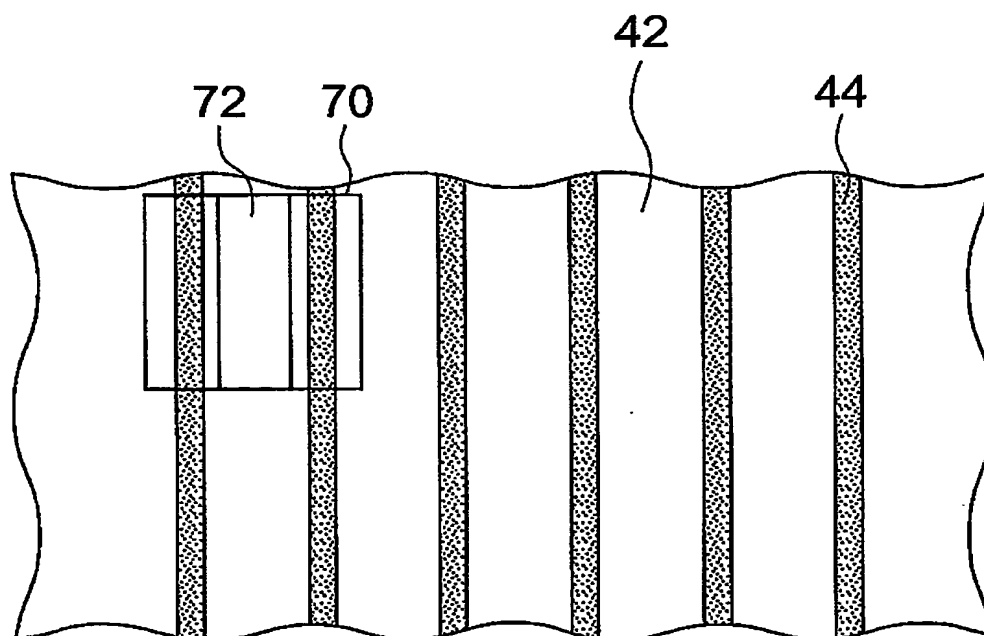


Fig.8B



9/13

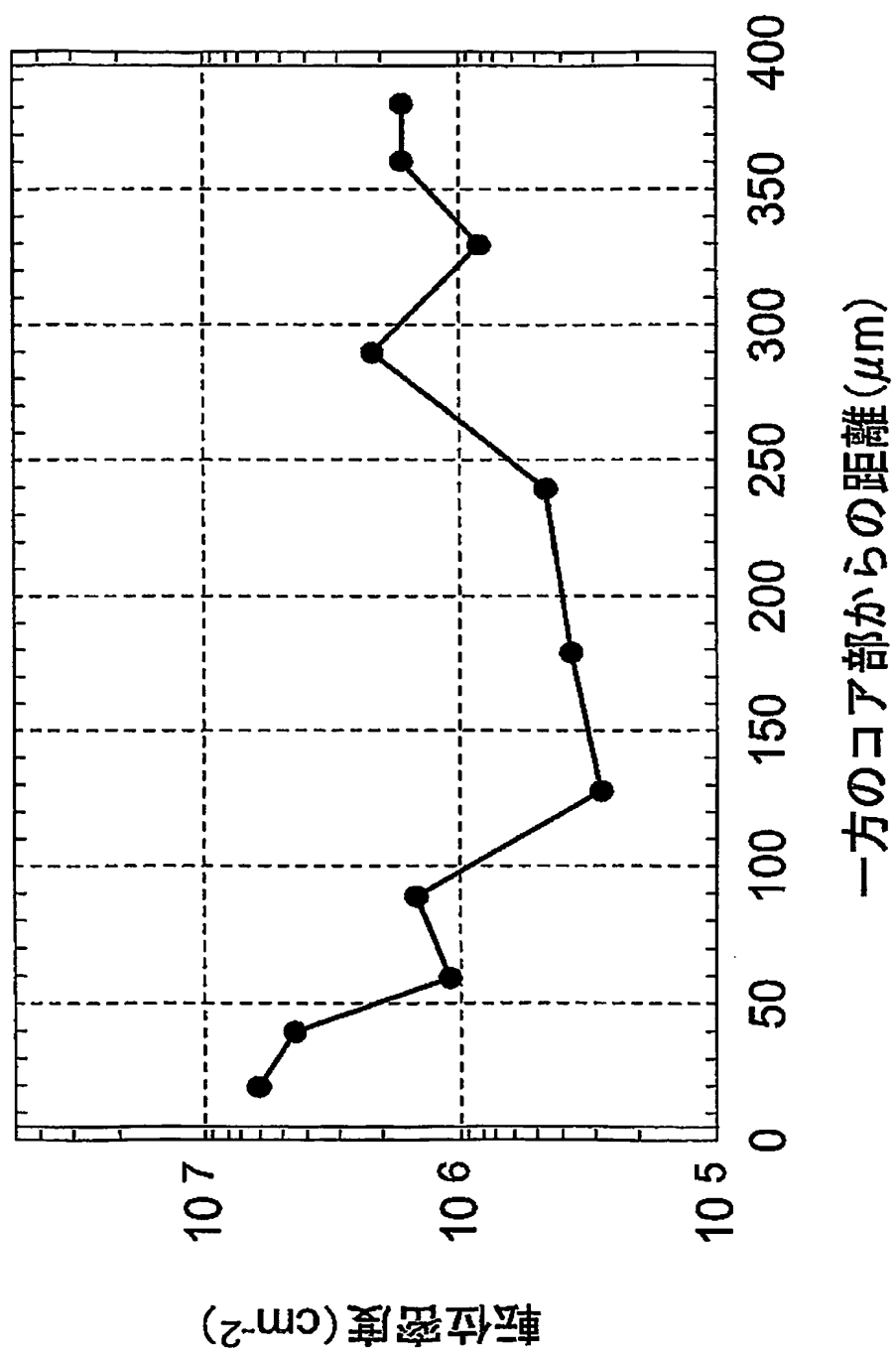


Fig.9

10/13

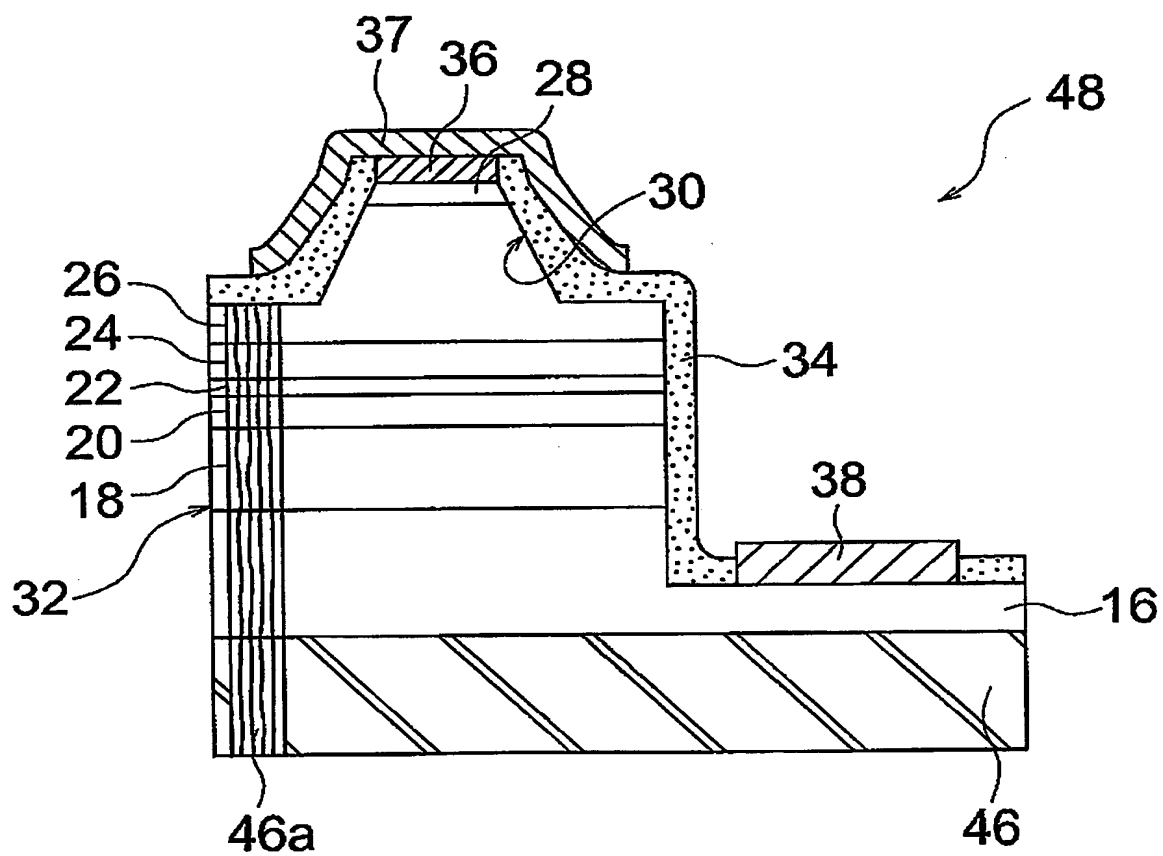


Fig.10

11/13

Fig.11A

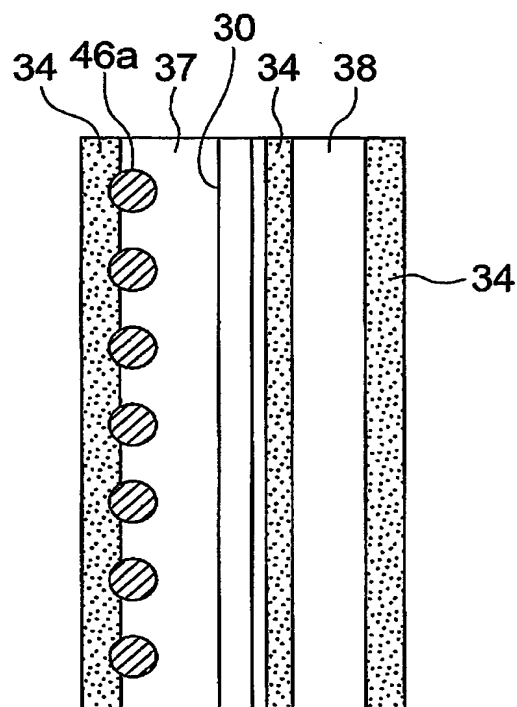
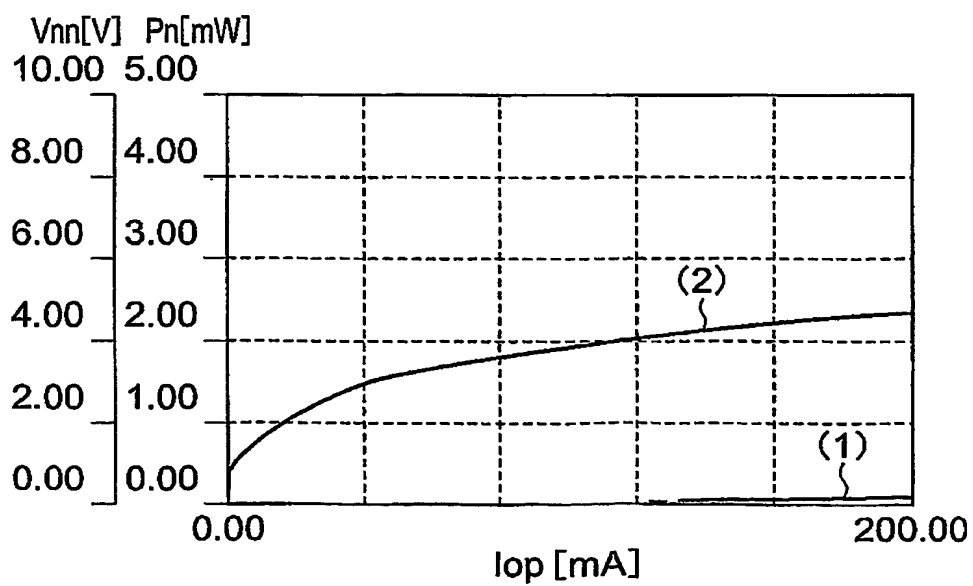


Fig.11B



12/13

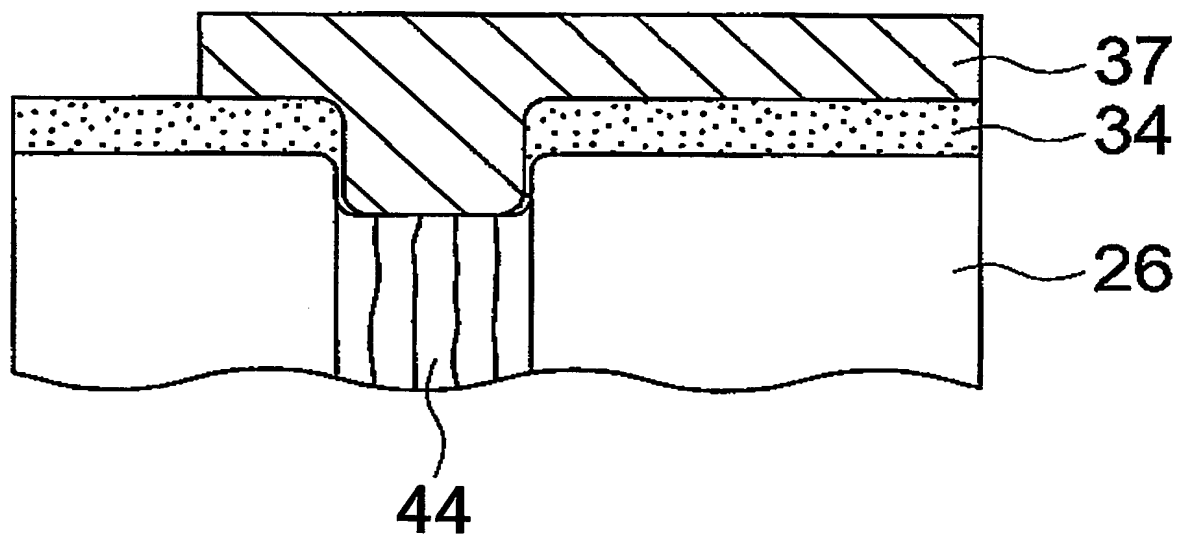


Fig.12

13/13

Fig.13A

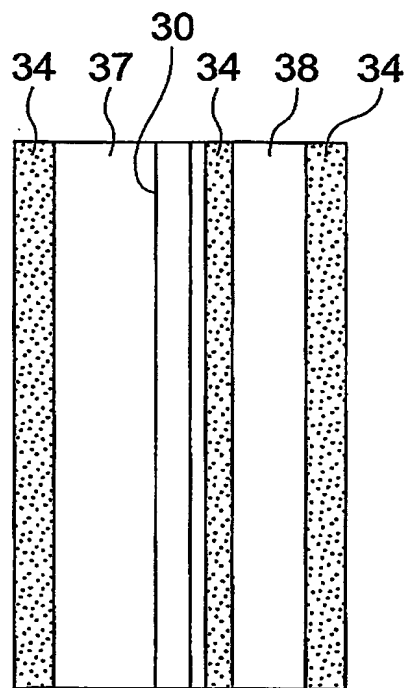
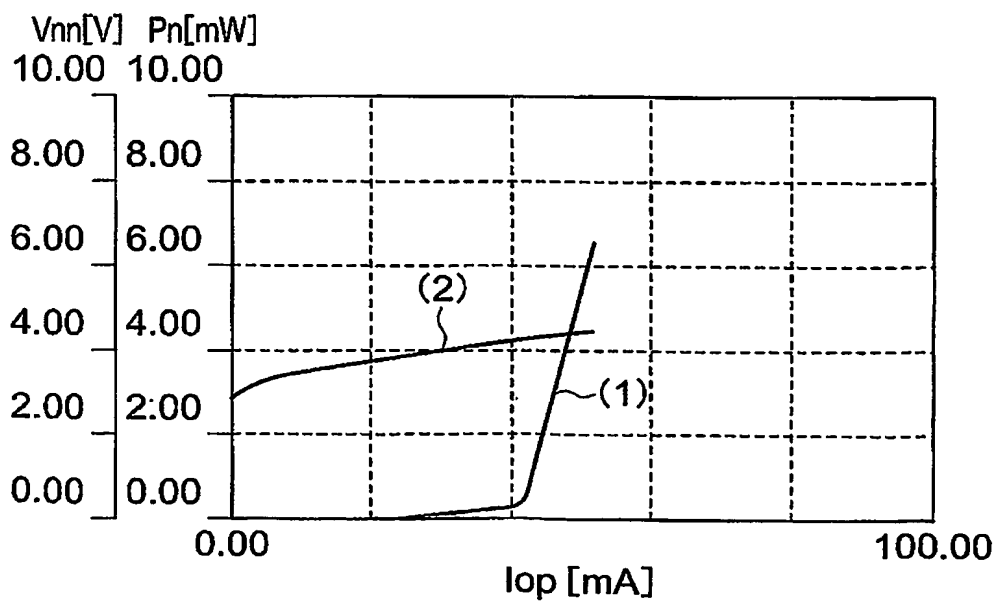


Fig.13B



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/07822

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01S5/343, H01L33/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01S5/343, H01L33/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003

Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2000-164929 A (Sony Corp.), 16 June, 2000 (16.06.00), Figs. 1, 14 & EP 1005068 A2	1-3, 7, 9-10 4-6, 8
Y	EP 1088914 A1 (Sumitomo Electric Industries, Ltd.), 04 April, 2001 (04.04.01), Full text; all drawings & JP 2001-102307 A	4, 5, 8
Y	US 6111277 A (Sony Corp.), 29 August, 2000 (29.08.00), Fig. 5 & JP 11-126948 A	6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search
18 June, 2003 (18.06.03)

Date of mailing of the international search report
05 August, 2003 (05.08.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/07822

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	JP 2003-124572 A (Sumitomo Electric Industries, Ltd.), 25 April, 2003 (25.04.03), Full text; all drawings (Family: none)	1-10
A	JP 2001-102303 A (Kyocera Corp.), 13 April, 2001 (13.04.01), Par. No. [0002] (Family: none)	1-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01S5/343, H01L33/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01S5/343, H01L33/00

最小限資料以外の資料で調査を行った分野に含まれるもの、

日本国実用新案公案 1922-1996年

日本国公開実用新案公報 1971-2003年

日本国登録実用新案公報 1994-2003年

日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2000-164929 A(ソニー株式会社)2000.06.16	1-3, 7, 9-10
Y	図1, 14 & EP 1005068 A2	4-6, 8
Y	EP1088914 A1(Sumitomo Electric Industries, Ltd.)2001.04.04 全文, 全図 & JP 2001-102307 A	4, 5, 8
Y	US 6111277 A(Sony Corporation)2000.08.29 図5 & JP 11-126948 A	6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

18.06.03

国際調査報告の発送日

05.08.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

道祖土 新吾



2K

9814

電話番号 03-3581-1101 内線 3253

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P, X	JP 2003-124572 A(住友電気工業株式会社)2003. 04. 25 全文, 全図 (ファミリーなし)	1-10
A	JP 2001-102303 A(京セラ株式会社)2001. 04. 13 段落2 (ファミリーなし)	1-10